

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-055804

(43)Date of publication of application : 27.02.1996

(51)Int.Cl.

H01L 21/205

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 06-188043

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.08.1994

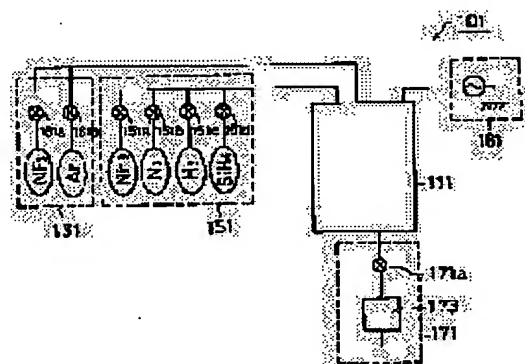
(72)Inventor : KAMIMURA TAKAAKI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR FILM

(57)Abstract:

PURPOSE: To suppress the product dispersion and produce at a high yield by executing the actual film forming after a semiconductor film contg. Si and nitride film or N-containing oxide film on the semiconductor film easy to clean by a cleaning gas is deposited in a reactor.

CONSTITUTION: From a cleaning gas feed system 161 gases of NF₃ and Ar are fed respectively through valves 161a and 161b. A high frequency voltage is applied to remove unwanted films from the inner wall of a reactor and surfaces of a gas feed electrode, susceptor and mask by the plasma cleaning. Then, in the same condition as an actual film forming step, amorphous Si (a-Si:H) and Si nitride (SiN_x) are deposited 300 and 50Å thick on the susceptor. Then, a film forming step is executed to form a Si nitride film, semiconductor thin film and channel protecting film.



LEGAL STATUS

[Date of request for examination]

09.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3593363

[Date of registration]

03.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-55804

(43)公開日 平成8年(1996)2月27日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/205				
G 0 2 F 1/136				
H 0 1 L 29/786				
21/336				
		9056-4M	H 0 1 L 29/ 78	6 1 7 A
			審査請求 未請求	請求項の数4 O L (全 6 頁)

(21)出願番号 特願平6-188043

(22)出願日 平成6年(1994)8月10日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上村 孝明

埼玉県深谷市幡羅町一丁目9番地2号 株

式会社東芝深谷電子工場内

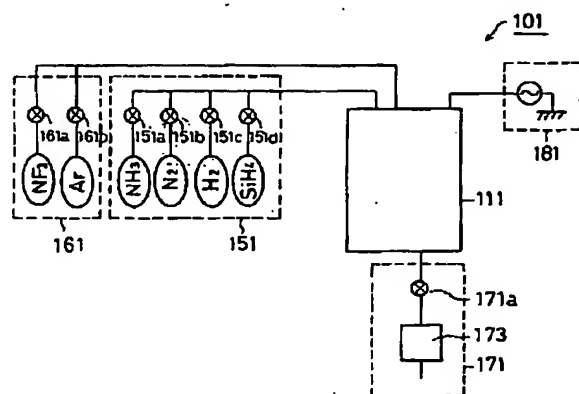
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体薄膜の製造方法

(57)【要約】

【構成】 この発明は、半導体薄膜の製造方法であって、半導体薄膜を堆積させる前に、反応炉内をフッ素 (F) を含むクリーニング・ガスで清浄する清浄工程と、反応炉内に少なくともシリコン (Si) を含む半導体被膜と、半導体被膜上に窒化被膜もしくは窒素含有酸化被膜を積層して堆積させる堆積工程とを備えている。

【効果】 この発明の半導体薄膜の製造方法によれば、清浄工程直後であっても、安定した膜特性が得られ、しかも従来に比べてパーティクル発生量の低い、液晶表示装置に適した半導体薄膜を得ることができる。



【特許請求の範囲】

【請求項1】 シリコン（Si）を含む活性化された原料ガスに基づいて反応炉内で基板上に半導体薄膜を堆積させる半導体薄膜の製造方法において、前記半導体薄膜を堆積させる前に、前記反応炉内をフッ素（F）を含むクリーニング・ガスで清浄する清浄工程と、前記反応炉内に少なくとも前記シリコン（Si）を含む半導体被膜と、前記半導体被膜上に窒化被膜もしくは窒素含有酸化被膜を積層して堆積させる堆積工程とを具備したことを特徴とした半導体薄膜の製造方法。

【請求項2】 請求項1記載の半導体薄膜の製造方法において、前記半導体被膜が200～1000オングストロームの膜厚を有することを特徴とした半導体薄膜の製造方法。

【請求項3】 請求項1記載の半導体薄膜の製造方法において、前記窒化被膜もしくは酸化被膜が50～1000オングストロームの膜厚を有することを特徴とした半導体薄膜の製造方法。

【請求項4】 請求項1記載の半導体薄膜の製造方法において、前記原料ガスはプラズマにより活性化されることを特徴とした半導体薄膜の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体薄膜の製造方法に係り、特に薄膜トランジスタ（以下、TFTと称する。）等の活性層に有用な半導体薄膜の製造方法に関する。

【0002】

【従来の技術】従来、半導体薄膜をはじめ、各種薄膜の堆積にCVD（Chemical Vapor Deposition）装置が用いられている。CVD装置には、原料ガスの活性化に、熱を用いるもの、光を用いるもの、プラズマ反応を用いるもの、更にはサイクロトロン共鳴を用いるもの等が知られている。中でも、プラズマCVD装置は、均質で、比較的生産性良く薄膜の堆積が可能であることから、各種分野で利用されている。

【0003】このようなプラズマCVD装置には、プラズマ反応により活性化された原料ガスを反応炉内に導き基板上に堆積させるもの、あるいは原料ガスを反応炉内で活性化して基板上に堆積させるもの等、種々の構成があるが、いずれにしても基板上のみならず、反応炉内壁等にも同様の薄膜が堆積される。この反応炉内壁や電極板に付着した膜が厚くなると、膜が剥離することによりパーティクルが発生し、製品の歩留まりを低下させる要因となっている。

【0004】

【発明が解決しようとする課題】このようなことから、反応炉内壁等に堆積される不要被膜の膜厚の程度に応じて、反応炉内の防着板や電極板等を交換・清浄する、あるいは四沸化炭素（CF₄）、三沸化窒素（NF₃）等

のフッ素系クリーニングガスとアルゴン（Ar）等のキャリアガスとを反応炉内に導入し、プラズマを発生させて反応炉内壁に堆積される不要膜を除去することが知られている。また、更に、反応炉内を清浄にした後、実際の成膜前に、基板を配置することなく、反応炉内壁に窒化被膜あるいは実際に成膜すると同一の半導体被膜を堆積させる、いわゆるプリコート工程を経ることにより、反応炉内の不純物を排気除去すると共に、反応炉内壁からの不純物が実際の成膜に悪影響を及ぼすことを防止する技術が、例えば特開昭63-215037号、特開昭63-267430号等で知られている。

【0005】しかしながら、窒化被膜によるプリコート工程を経ても、初期に成膜される半導体薄膜の移動度が、それ以降に成膜される半導体薄膜に比べて低く、成膜された半導体薄膜を活性層として用いたTFTにおいては、しきい値電圧が所望の範囲内に制御されないといった問題点があった。また、半導体皮膜では、このプリコートによりパーティクルが増大するという問題点があった。

【0006】この発明は、上記した技術課題に鑑み成されたものであって、製造ばらつきが抑えられ、製造歩留り良く製造することが可能な半導体薄膜の製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】請求項1に記載される発明は、シリコン（Si）を含む活性化された原料ガスに基づいて反応炉内で基板上に半導体薄膜を堆積させる半導体薄膜の製造方法において、前記半導体薄膜を堆積させる前に、前記反応炉内をフッ素（F）を含むクリーニング・ガスで清浄する清浄工程と、前記反応炉内に少なくとも前記シリコン（Si）を含む半導体被膜と、前記半導体被膜上に窒化被膜もしくは窒素含有酸化被膜を積層して堆積させる堆積工程とを具備したことを特徴としたものである。

【0008】請求項2に記載される発明は、請求項1記載の半導体薄膜の製造方法において、前記半導体被膜が200～1000オングストロームの膜厚を有することを特徴としている。

【0009】請求項3に記載される発明は、請求項1記載の半導体薄膜の製造方法において、前記窒化被膜もしくは窒素含有酸化被膜が50～1000オングストロームの膜厚を有することを特徴としている。請求項4に記載される発明は、請求項1記載の半導体薄膜の製造方法において、前記原料ガスはプラズマにより活性化されることを特徴としている。

【0010】

【作用】フッ素（F）を含むクリーニング・ガスで清浄する清浄工程によれば、反応炉内の反応炉内壁、電極あるいはサセプタ等に付着するフッ素（F）が、特に半導体薄膜の特性に影響を及ぼしてしまう。そこで、反応炉

内に残存するフッ素(F)の影響を効率よく吸収除去し、しかもクリーニング・ガスで清浄が容易な被膜、即ちシリコン(Si)を含む半導体被膜と半導体被膜上に窒化被膜もしくは窒素含有酸化被膜を反応炉内に堆積させた後、実際の成膜を行うことにより、洗浄直後であっても、特性に優れた半導体薄膜の製造が可能になることを見出し、本発明に至った。

【0011】シリコン(Si)を含む半導体被膜を堆積させるのは、この半導体被膜が反応炉内に残存するフッ素(F)を主とした不純物を膜中に旨くトラップし、これにより反応炉内に残存する不純物を激減させることができるためである。この半導体被膜としては、実際に成膜する半導体薄膜と同一組成とすれば、配管等を増加させる必要がない。また、半導体被膜は、反応炉内に残存する不純物を十分にトラップさせるためには、200オングストローム以上の膜厚とすることが好ましく、特に300オングストローム以上であれば十分である。しかしながら、膜厚が厚くなり過ぎると洗浄工程を頻繁に行う必要があることから、1000オングストローム以下であることが好ましい。

【0012】また、この発明にあっては、上記した半導体被膜上に窒化被膜もしくは窒素含有酸化被膜が積層されることを必須の要件としている。半導体被膜上に窒化被膜もしくは窒素含有酸化被膜を積層配置するのは、シリコン(Si)を含む半導体被膜が露出していると、真空中ではあっても半導体被膜表面が不所望な状態に酸化され、膜剥離し易くなるといった問題点を招くためであり、半導体被膜表面の酸化を防止する理由から窒化被膜もしくは窒素含有酸化被膜を積層する必要がある。

【0013】このように、クリーニング・ガスで清浄した後、少なくとも半導体被膜、および窒化被膜もしくは窒素含有酸化被膜を積層することにより、初めて上記した問題点が解決される。

【0014】この窒化被膜もしくは窒素含有酸化被膜は、半導体被膜が露出することがないように覆っていれば良く、厚膜とする必要はない。半導体被膜表面の酸化防止を考慮すると5.0オングストローム以上とすることが好ましく、やはり膜厚が厚くなり過ぎると洗浄工程を頻繁に行う必要があることから、1000オングストローム以下であることが好ましい。

【0015】この発明において、クリーニング・ガスによる清浄には、熱、光、プラズマ反応あるいはサイクロトロン共鳴等、適宜用いることができ、また、シリコン(Si)を含む原料ガスの活性化にも、同様に熱、光、プラズマ反応あるいはサイクロトロン共鳴等、適宜用いることができるが、中でもプラズマ反応を用いる手法は、均質で、比較的生産性良く薄膜の堆積が可能であることから、シリコン(Si)を含む半導体薄膜の堆積に有用である。

【0016】また、特開昭63-215037号あるい

は特開昭63-267430号等に記載されているように、クリーニング・ガスで清浄した後、更に水素プラズマ等より反応炉内を清浄してもかまわない。

【0017】

【実施例】以下、本発明の一実施例の半導体薄膜の製造方法について図面を参照して説明する。図1は、この実施例に用いられる半導体薄膜製造装置(101)の概略構成図であって、この半導体薄膜製造装置(101)は、アルミナ(Al₂O₃)が表面に被着されて成るアルミニウム(A1)によって構成される反応炉を備えたCVD成膜系(111)、CVD成膜系(111)にシラン(SiH₄)、水素(H₂)、窒素(N₂)およびアンモニア(NH₃)の各原料ガスをそれぞれバルブ(151a)~(151d)を介して供給する原料ガス供給系(151)、CVD成膜系(111)に三沸化窒素(NF₃)とアルゴン(Ar)とをそれぞれバルブ(161a),(161b)を介して供給するクリーニングガス供給系(161)、CVD成膜系(111)内をバルブ(171a)を介して排気するドライポンプ(173)から構成される排気系(171)、CVD成膜系(111)に高周波電圧を供給する電源系(181)とを備えている。

【0018】このCVD成膜系(111)について、図2の概略断面図を参照して、更に詳細に説明する。CVD成膜系(111)は、図中上下方向に移動可能に支持された凹状の上収納体(121)と、上収納体(121)と合致する凹状の下収納体(131)とから成り、それぞれアルミニウム(A1)から成る反応炉(113)を備えている。上収納体(121)の上壁中央部には原料ガスを導入する導入孔(123)、下収納体(131)の側壁には排気系(171)に接続される排気孔(133)が形成されている。

【0019】そして、上収納体(121)には、導入孔(123)から導入される原料ガスを反応炉(113)内に均一に拡散させる吹き出し孔(143)を備えると共に、電気的に電源系(181)に接続されて一方の電極としても機能するアルミナ(Al₂O₃)が表面に被着されて成るアルミニウム(A1)から成るガス導入電極(141)が支持されている。

【0020】また、下収納体(131)上に支持され、一主表面上に基板を配置することが可能なアルミナ(Al₂O₃)が表面に被着されて成るアルミニウム(A1)から成るサセプタ(145)を備えている。このサセプタ(145)は、基板温度の制御が可能なヒーター(147)を内部に備えており、ガス導入電極(141)に対向する他方の電極と成すグランド電位に接続されている。そして、このサセプタ(145)一主表面上とマスク(149)とによって基板(11)が固定される。

【0021】以下に、このような半導体薄膜製造装置(101)を用いたアクティブマトリクス型液晶表示装置の製造方法について説明する。これは、例えば9.5インチの表示領域を備えたアクティブマトリクス型液晶表示装置を構成するアレイ基板が、1枚のガラス基板から4個

採取されるように360mm×465mmのガラス基板を使用するものである。

【0022】まず、図3(a)に示すように、360mm×465mmのガラス基板(11)の一面上にモリブデン・タンタル(MoTa)の被膜を形成し、これを複数本のストライプ状にパターンニングしてゲート電極(13a)およびゲート電極(13a)と一体の走査線(図示せず)並びに補助容量線(13b)を形成し、更にゲート電極(13a)および補助容量線(13b)上にゲート絶縁膜として酸化シリコン(SiO₂)膜(15a)を堆積する。

【0023】このゲート電極(13a)、補助容量線(13b)および酸化シリコン膜(15a)が配設されたガラス基板(11)を、図示しないが、導入炉から搬送炉、搬送炉から反応炉(113)に導く。

【0024】ガラス基板(11)は、ゲート電極(13a)、補助容量線(13b)および酸化シリコン膜(15a)が配置された主表面が、図2に示すようにガス導入電極(141)と対向するようにサセプタ(145)上に配置し、その上にマスク(149)を配置する。そして、反応ガスとして200sccmの流量のシラン(SiH₄)、1000sccmの流量のアンモニア(NH₃)、7000sccmの流量の窒素(N₂)を反応炉(113)内に導入すると共に、反応炉(113)内を1Torrに維持する。また、同時に、ヒーター(147)により加熱されたサセプタ(145)上の基板(11)温度を330℃まで上昇させる。そして、電源系(181)からガス導入電極(141)に1300Wの高周波電圧を供給し、これによりシラン(SiH₄)およびアンモニア(NH₃)をプラズマ励起させて基板(11)上に2層目のゲート絶縁膜としてシリコンナイトライド(SiN_x)を50000Åの膜厚で堆積させる。

【0025】この後、反応ガスとして400sccmの流量のシラン(SiH₄)、1400sccmの流量の水素(H₂)にガスを切り換えて反応炉(113)内に導入すると共に、基板(11)温度を330℃に制御し、更に150Wの高周波電力を供給して、シリコンナイトライド(SiN_x)上に半導体薄膜として非晶質シリコン(a-Si:H)を50000Åの膜厚で堆積させる。尚、非晶質シリコン(a-Si:H)の堆積に際しても反応炉(11)内を1Torrに維持する。

【0026】再び、反応ガスとして200sccmの流量のシラン(SiH₄)、1000sccmの流量のアンモニア(NH₃)、キャリアガスとして7000sccmの流量の窒素(N₂)を反応炉(113)内に導入すると共に、基板(11)温度を330℃に制御し、更に1300Wの高周波電圧を供給して、チャンネル保護膜としてシリコンナイトライド(SiN_x)を30000Åの膜厚で堆積させる。尚、シリコンナイトライド(SiN_x)の堆積に際してはも反応炉(113)内は同様の1Torrに維持する。

【0027】以上のようにして、図3(b)に示すよう

に、1層目のゲート絶縁膜としてシリコン酸化膜(15a)を含む基板(11)上にシリコンナイトライド膜(15b)/半導体薄膜(17)/チャンネル保護膜(19)の3層を連続して堆積させた後、図2に示す反応炉(113)内を50mTorrに減圧し、図示しないが、この減圧状態と同様の減圧状態にある搬送炉を介して排出炉に導く。

【0028】この後、図3(c)に示すように、半導体薄膜(17)を島状にパターンニングして活性層(18)とすると共に、またゲート電極(13a)をマスクとした裏面露光によりゲート電極(13a)に自己整合されたチャンネル保護膜(20)を形成する。

【0029】この後、図3(d)に示すように、ITO(Indium Tin Oxide)を成膜し、パターンニングして画素電極(21)を形成する。また、n⁺型の非晶質シリコン(a-Si:H)を堆積し、島状にパターンニングして低抵抗半導体膜(25)を形成した後、モリブデン(Mo)、アルミニウム(Al)およびモリブデン(Mo)の3層構造の導電体層(29)を堆積する。

【0030】この後、チャンネル保護膜(20)上の低抵抗半導体膜(25)をおよび導電体層(29)を切断すると共に、導電体層(29)をパターンニングして画素電極(21)に接続されるソース電極(31)、信号線(33)と一体のドレイン電極(35)とをそれぞれ構成する。

【0031】以上のようにして構成されたアレイ基板を用い、図示しないが、常法にしたがって対向基板と所定の間隔を隔てて貼り合わせ、基板間に液晶組成物を注入し、封止して液晶パネルを構成する。更に、液晶パネルと駆動回路基板とを電氣的に接続すると共に、必要であれば液晶パネル外表面に偏光板を貼り付けて液晶表示装置を完成させた。

【0032】ところで、この実施例では、上記したシリコンナイトライド膜(15b)/半導体薄膜(17)/チャンネル保護膜(19)の3層の連続成膜に先立ち、次のような操作を行っている。

【0033】即ち、図2に示す反応炉(113)の内壁、ガス導入電極(141)、サセプタ(145)およびマスク(149)の表面には、先の成膜工程での非晶質シリコン(a-Si:H)やシリコンナイトライド(SiN_x)が複数層にわたり堆積されている。

【0034】このような反応炉(113)の内壁、ガス導入電極(141)、サセプタ(145)およびマスク(149)の表面に堆積する非晶質シリコン(a-Si:H)やシリコンナイトライド(SiN_x)の膜厚が増大すると、成膜途中に膜中に小片として混入すること等が生じ、製造歩留りの低下を招いてしまう。特に、ガス導入電極(141)とサセプタ(145)との間に挟まれる反応空間に接する領域、例えばガス導入電極(145)の主表面やマスク(149)の表面等に堆積される不要被膜が問題となる。

【0035】このため、反応空間に接する領域での不要被膜の膜厚が増大した際、反応炉(113)内壁を、クリー

ニングガス供給系(161)から700sccmの流量の三沸化窒素(NF₃)と100sccmの流量のアルゴン(Ar)とをそれぞれバルブ(161a),(161b)を介して供給すると共に、1500Wの高周波電圧を供給し、10分間清浄して、反応炉(113)の内壁、ガス導入電極(141)、サセプタ(145)およびマスク(149)の表面の不要被膜をプラズマ・クリーニングにより除去する。

【0036】そして、このプラズマ・クリーニング後、実際の成膜の工程と同様の条件で、非晶質シリコン(a-Si:H)とシリコンナイトライド(SiN_x)とを堆積させる。尚、非晶質シリコン被膜およびシリコンナイトライド被膜の膜厚は、それぞれサセプタ(145)上で300オングストローム、50オングストロームとなるように行った。従って、反応空間外、例えば反応炉(113)の内壁にあっては、更に薄膜となっているが、反応空間での非晶質シリコン被膜およびシリコンナイトライド被膜の膜厚が所望の範囲内に制御されていれば良い。

【0037】このような工程を経た後に、上記したシリコンナイトライド膜(15b)/半導体薄膜(17)/チャネル保護膜(19)の3層の連続成膜を実施している。そして、この実施例では、上記した3層の連続成膜を1サイクルとして、10サイクルを経た後、再びプラズマ・クリーニング工程、ブリコート工程を実施した。

【0038】上記した実施例によれば、プラズマ・クリーニング工程直後のTFTの活性層(18)と、成膜工程を9サイクル経た後のTFTの活性層(18)とでは、移動度に差異は認められなかった。

【0039】また、上記した実施例により得られたTFT(A)、プラズマ・クリーニング工程後にブリコート工程を経ることなく作成されたTFT(B)、プラズマ・クリーニング工程後にシリコンナイトライド被膜を堆積させない以外は実施例と同様のブリコート工程を経て作成されたTFT(C)、プラズマ・クリーニング工程後に非晶質シリコン被膜を堆積させない以外は実施例と同様のブリコート工程を経て作成されたTFT(D)のしきい値電圧をそれぞれ測定したところ、TFT(A):2V、TFT(B):5V、TFT(C):2V、TFT(D):5Vであった。

【0040】また、TFT(A)とTFT(C)の製造途中で、サセプタ(145)上に付着する3ミクロン以上のパーティクルを測定したところ、TFT(C)の製造途中では0.08個/cm²であったものが、TFT(A)製造途中では0.05個/cm²以下に減少させ

ることができた。

【0041】以上のように、この実施例によれば、清浄工程直後であっても、安定した膜特性が得られ、しかも従来に比べて製造途中でのパーティクル発生量の低い、液晶表示装置に適した絶縁膜と非晶質シリコンの積層膜を得ることができた。

【0042】上述した実施例では、基板の主表面に対して平行に電極が配置され、しかも基板の主表面に対して原料ガスが垂直に照射される平行平板型のプラズマCVD装置を例にとり説明したが、これに限定されるものではない。

【0043】また、ブリコート工程において、非晶質シリコン(a-Si:H)被膜とシリコンナイトライド(SiN_x)被膜とを積層する場合を例にとり説明したが、シリコンナイトライド(SiN_x)被膜に代えて窒素含有シリコン酸化膜(SiON)を用いても良い。この場合は、原料ガス供給系(151)に亜酸化窒素(N₂O)を加え、亜酸化窒素(N₂O)、シラン(SiH₄)および窒素(N₂)をプラズマ励起させて堆積すれば良い。更に、ブリコート工程を、シリコンナイトライド被膜/非晶質シリコン被膜/シリコンナイトライド被膜の三層構造としても良い。

【0044】

【発明の効果】この発明の半導体薄膜の製造方法によれば、清浄工程直後であっても、安定した膜特性が得られ、しかも従来に比べてパーティクル発生量の低い、液晶表示装置に適した半導体薄膜を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の半導体薄膜の製造方法に用いられる半導体薄膜製造装置の概略構成図である。

【図2】図2は、図1のCVD成膜系の概略断面図である。

【図3】図3は、本発明の一実施例の半導体薄膜の製造プロセスを示す図である。

【符号の説明】

(101) …半導体薄膜製造装置

(111) …CVD成膜系

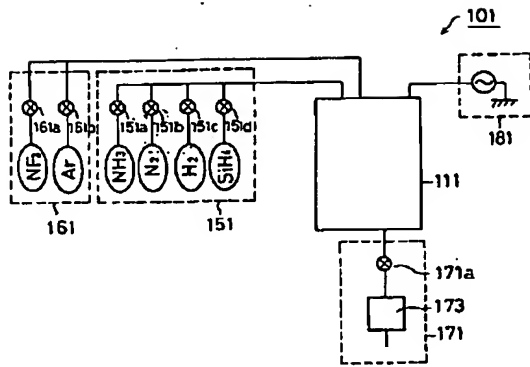
(151) …原料ガス供給系

(161) …クリーニングガス供給系

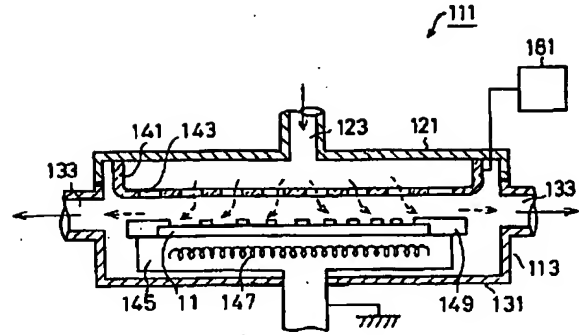
(171) …排気系

(181) …電源系

【図 1】



【図 2】



【図 3】

